

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-245148  
 (43)Date of publication of application : 02.09.1994

(51) Int. Cl. H04N 5/335  
 H04N 5/217  
 H04N 5/232

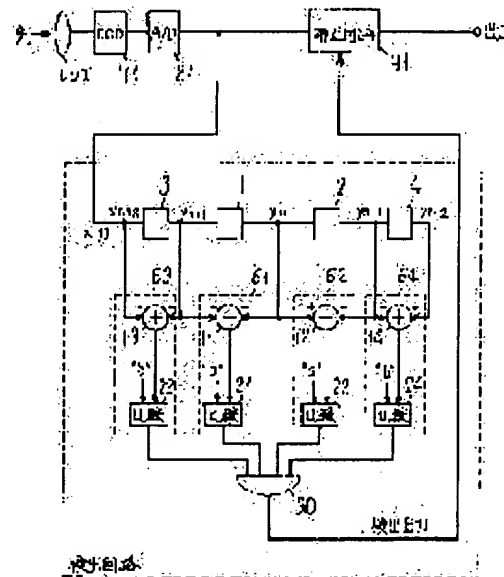
(21)Application number : 05-027714 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (22)Date of filing : 17.02.1993 (72)Inventor : KOBAYASHI TAKAHIRO  
 HITOMI JUICHI  
 MATSUMOTO KEIZO

## (54) PICTURE ELEMENT DEFECT CORRECTION DEVICE

## (57) Abstract:

PURPOSE: To obtain an excellent picture without deteriorating substantial picture quality by distinguishing accurately a substantial signal from a signal resulting from a picture element defect, detecting and correcting the defect.

CONSTITUTION: Picture element data  $y_{n-2}$ ,  $y_{n-1}$ ,  $y_{n+1}$ ,  $y_{n+2}$  for 5 picture elements in total being a noted picture element, its preceding and succeeding picture elements and their preceding and succeeding picture elements are extracted by flip-flop circuits 1-4, and adders 11-14 and comparator circuits 21-24 are used to apply arithmetic operation and discrimination to the picture element data. An AND circuit 30 ANDs discrimination outputs from the comparator circuits 21-24, a picture element defect is discriminated when the four following equations are all satisfied, a detection circuit outputs a detection signal to allow a correction circuit 91 to provide a correction signal;  $y_n - y_{n-1} > a1...$  (1),  $y_{n-2} - y_{n-1} < b1...$  (3),  $y_n - y_{n+1} > 22...$  (2), and  $y_{n+2} - y_{n+1} < b2...$



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japanese Patent Office

(10)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-245148

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 5/335

5/217

5/232

識別記号

P

Z

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21)出願番号

特願平5-27714

(22)出願日

平成5年(1993)2月17日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小林 隆宏

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 人見 寿一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 松本 恵三

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 画素欠陥補正装置

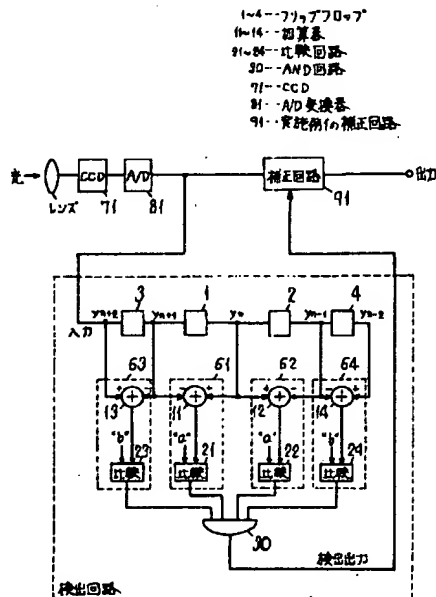
(57)【要約】

【目的】 本来の信号と画素欠陥を正確に区別し、検出、補正を行い、本来の画質を劣化させることなく、良好な画像を得る。

【構成】 フリップフロップ1~4により注目画素とその前後、およびさらにその前後の計5画素の画素データ $y_{n-2}$ 、 $y_{n-1}$ 、 $y_n$ 、 $y_{n+1}$ 、 $y_{n+2}$ を抽出し、これらの画素データに対し、加算器11~14、比較回路21~24を用い演算、判定を行う。AND回路30で4個の比較回路21~24による判定出力のANDを取り、下記の4式をすべて満たすとき画素欠陥と判定し、検出回路より検出信号を出力し、補正回路91に補正信号を出力する。

$$y_n - y_{n-1} > a_1 \cdots (1), y_{n-2} - y_{n-1} < b_1 \cdots (3)$$

$$y_n - y_{n+1} > a_2 \cdots (2), y_{n+2} - y_{n+1} < b_2 \cdots (4)$$



## 【特許請求の範囲】

【請求項1】 固体撮像素子から読み出された信号をサンプリングするサンプリング回路と、

前記サンプリング回路の出力から第1の画素の値と、隣接する第2、第3の画素の値と、前記第2、第3の画素に隣接し前記第1の画素から離れた側にある第4、第5の画素の値を抽出する抽出回路と、

前記第1の画素の値と前記第2の画素の値との差、前記第1の画素の値と前記第3の画素の値との差を求め、それぞれ一定値と比較する第1、第2の演算処理回路と、前記第2の画素の値と前記第4の画素の値との差、前記第3の画素の値と前記第5の画素の値との差を求め、それぞれ一定値、もしくは、抽出した前記第1、第2、第3の画素を演算処理した値と比較する第3、第4の演算処理回路と、

前記第1、第2、第3および第4の演算処理回路の出力の論理積をとる論理積回路と、

前記論理積回路の出力により前記サンプリング回路の出力を補正する補正回路と、を備えた画素欠陥補正装置。

【請求項2】 第1の固体撮像素子に対し第2の固体撮像素子が半画素ずれた位置に配値された複数の固体撮像素子と、

前記複数の固体撮像素子から読み出された信号をサンプリングするサンプリング回路と、

前記サンプリング回路の出力から前記第1の固体撮像素子の第1の画素の値と、前記第1の画素に隣接する前記第1の固体撮像素子の第2、第3の画素の値と、前記第2、第3の画素に半画素隣接し前記第1の画素から離れた側にある前記第2の固体撮像素子の第4、第5の画素の値を抽出する抽出回路と、

前記第1の画素の値と前記第2の画素の値との差、前記第1の画素の値と前記第3の画素の値との差を求め、それぞれ一定値と比較する第1、第2の演算処理回路と、前記第2の画素の値と前記第4の画素の値との差、前記第3の画素の値と前記第5の画素の値との差を求め、それぞれ一定値、もしくは、抽出した前記第1、第2、第3の画素を演算処理した値と比較する第3、第4の演算処理回路と、

前記第1、第2、第3および第4の演算処理回路の出力の論理積をとる論理積回路と、

前記論理積回路の出力により前記サンプリング回路の出\*

$$y_{n-1} - y_n > a_1$$

$$y_{n+1} - y_n > a_2$$

$a_1$ 、 $a_2$ は、 $y_n$ の $y_{n-1}$ 、 $y_{n+1}$ に対する突出量のしきい値であり、ここでは $a_1 = a_2 = a (> 0)$ として考える。

【0008】以上により、注目する画素の値がその周辺の画素の値に対して一定レベル以上突出している場合はキズとみなし、検出出力を出力する。補正回路は、検出出力により制御される。

\*力を補正する補正回路と、を備えた画素欠陥補正装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はCCD等の固体撮像素子を用いた撮像装置において、固体撮像素子に存在する画素欠陥を検出し補正する画素欠陥補正装置に関するものである。

【0002】

【従来の技術】一般にCCD等の半導体により形成された固体撮像素子においては、半導体の局所的な結晶欠陥等により画質劣化を生じることが知られている。入射光量に応じた撮像出力に常に一定のバイアス電圧が加算されてしまう画像欠陥は、この画像欠陥信号がそのまま処理されるとモニター画面上に高輝度の白い点として現れるので白キズと呼ばれている。また、光電感度の低いものは黒い点として現れるので黒キズと呼ばれている（以後、画素欠陥をキズと称する）。

【0003】従来、上記のようなキズに対する検出に関しては、例えば特開昭61-261974号公報に示されている。この方法は注目画素が周辺の画素に対して一定量以上大きいまたは小さい出力を持つ画素をキズとして検出する方法であり、横方向および縦方向に隣接画素間の差を取り、周辺の画素と異なる出力を持つ画素を検出するものである。

【0004】以下、CCDの水平方向における白キズの検出の場合について説明を行うものとし、まずこの場合の従来の画素欠陥補正装置について具体的に説明を行う。

【0005】白キズは、周辺の画素に対して、通常1画素のみ突出している。例えば、注目画素とその前後の画素の関係は図8(a)のように表される。このため、注目画素とその隣接する前後の画素とを比較し、注目画素が一定レベル以上前後の画素より大きい場合キズと見なすことができる。

【0006】上記内容を実現するブロック図を図7に示す。入力された信号は複数のフリップフロップ（以下FFと略す）1、2を通り、順次送られてきた注目画素値とその前後の画素値 $y_{n-1}$ 、 $y_n$ 、 $y_{n+1}$ を得る。これらの信号に対して、加算器11、12、比較回路21、22、AND回路30により下記の演算を行っている。

【0007】

$$(1)$$

$$(2)$$

【0009】画素欠陥の補正に関しては、特開昭62-8666号公報にいくつかの方法が示されている。例えば、1画素もしくは2画素前の画素で置換する方法、前後の画素値の平均で置換する方法、または同様に垂直方向で考え、1つ上の画素で置換する方法、上下の画素値の平均で置換する方法などがある。

【0010】ここでは、補正回路は前後の画素値の平均

で置換するものとし、ブロック図は図3に示したようになり、動作は以下の通りである。入力された信号はFF7, FF8を通り、中央の注目画素の値とその前後の画素値を抽出する。注目画素の前後の画素値からこれらの平均値を求め補正信号としている。検出回路の検出力に従い、通常は中央の注目画素の値を、キズと判定した場合は補正信号を出力する。

【0011】以上より、周辺の画素の値に対して一定レベル以上突出している画素に対してはキズとして検出でき、目立たないよう補正することができる。

【0012】

【発明が解決しようとする課題】しかしながら、上記の方法によれば、高周波信号に対しては、信号であるにも関わらず、信号位相により突出している場合があり、キズと誤って判定する。

【0013】例えば、図8(b)のようなCCD出力信号の場合、その中心の信号はキズと誤って判定され、誤補正されてしまう。これにより図8(b)の補正回路出力信号のように、本来あるべき信号が欠けた形になる。

【0014】このように高周波の信号がある場合には画質を劣化させ、良好な画像を得ることができないという問題を有していた。

【0015】本発明はこのような従来の問題点を解決するものであり、簡単な構成で信号とキズを精度良く判別して、キズについてのみ補正を行い、高周波信号を含む画像においても、本来の画質を劣化させることなく、良好な画像を得ることができる画素欠陥補正装置を提供するものである。

【0016】

【課題を解決するための手段】本発明の画素欠陥補正装置は、突出している信号を検出すると同時に、さらに突出している信号が平坦部にあるかどうかを判定するものである。

【0017】キズが平坦部にある場合は、図9(a)のようにキズは1画素のみの突出した信号となるため、実際の画面上においてキズは非常に目立ち易く、この場合は補正が必要となる。

【0018】一方、キズが高周波信号の中にある場合は、図9(b)のようにキズは1画素のみの突出した信号とはならないため、実際の画面上ではキズはほとんど目立たず、この場合は補正を必要としない。

【0019】このため、注目画素に隣接する画素と、さらにその前後の画素とを比較し、その大きさがある一定値以下であれば、注目する画素が平坦部にあると判断し、キズの検出を行う。

【0020】以上により、連続する高周波信号においては、注目画素が突出している場合でも、平坦部でないことより、キズとは判断せず、キズと高周波信号の判別が可能となる。

10

\*【0021】また、キズが周辺の高周波信号に比べて大きい場合には、図9(c)のようにキズが平坦部でないにも関わらず、周辺に比べ突出した信号となり、実際の画面上においてもキズは目立ち易い。

【0022】このため、注目画素に隣接する画素と、さらにその前後の画素とを比較し、その大きさが、注目画素の突出量に比べて小さい場合のみ、キズの検出を行う。

【0023】これにより、キズが周辺の高周波信号に比べて大きく、目立ち易い場合は、キズと判断し、キズが周辺の高周波信号と同程度の突出量であり、目立ち難い場合は、キズと判断しない。

【0024】以上により、キズの検出力を損なうこと無しに、キズと高周波信号の判別が可能となる。

【0025】また、第1のCCDに対し第2のCCDを半画素ずれた位置に配値する画素ずらしが行われた場合においても、第1のCCD(ここではG信号用)の画素の値と、第2のCCDの画素の値(ここではR信号用)とを時系列に並べた場合、注目画素と注目画素から1画素離れた画素の比較によりキズの突出量を検出し、さらに、注目画素から1画素離れた画素と、それに隣接する半画素離れた画素もしくは1画素はなれた画素の比較により、そのキズが平坦部にあるかどうかを検出する。

【0026】以上により、画素ずらしが行われた場合においても、キズと高周波信号の判別が可能になる。

【0027】

【作用】本発明によれば、高周波信号においても従来のように誤検出、誤補正を行わず、信号とキズを区別し、キズを精度良く検出できるため、キズについてのみ補正を行い、本来の画質を劣化させることなく、良好な画像を得ることができる。

【0028】

【実施例】以下、本発明の第1の実施例について図面を参照して説明する。

【0029】本発明の第1の実施例のブロック図を図1に示す。入射光はレンズを経由しCCD71に到達し、CCD71により光電変換され、AD変換器81を介し、デジタル信号に変換される。この信号より検出回路でキズを検出し、検出信号を出力する。この検出信号により補正回路91を制御する。

40

【0030】検出回路では、まずFF1~FF4により注目画素とその前後、およびさらにその前後の計5画素の画素データ $y_{n-2}$ ,  $y_{n-1}$ ,  $y_n$ ,  $y_{n+1}$ ,  $y_{n+2}$ を抽出する。ここで、FF1~FF4のクロックはCCD71のクロックと同じ $f_{CK}$ である。これらの画素データに対し、加算器11~14、比較回路21~24を用い下記の演算を行う。

【0031】

$$y_n - y_{n-1} > a_1$$

\*

5

$$y_n - y_{n+1} > a_2$$

$$y_{n-2} - y_{n-1} < b_1$$

$$y_{n+2} - y_{n+1} < b_2$$

ただし、 $a_1 = a_2 = a (>0)$ 、 $b_1 = b_2 = b$ である。

【0032】式(3)、(4)では、注目画素が周辺画素に対して一定値以上突出しているという条件を満たすことを判定する。これにより、キズであるための必要条件を満たすことを判定している。 $a_1$ 、 $a_2$ は突出量が一定値以上であることを判定するためのしきい値であり、ここでは $a_1 = a_2 = a (>0)$ としている。これらの演算を加算器11、12、比較回路21、22を用いて行っている。

【0033】式(5)、(6)では、注目する画素に隣接する画素と、さらにその前後の画素の差が、一定値以下であるという条件を満たすことを判定している。これ\*

$$y_{n-2} - y_{n-1} < (y_n - y_{n-1}) \times b_1$$

$$y_{n+2} - y_{n+1} < (y_n - y_{n+1}) \times b_2$$

ただし、 $b_1 = b_2 = b = 1/2$ である。

【0036】なお、式(5)、(6)は、注目する画素に隣接する画素と、さらにその前後の画素の差が、注目する画素の隣接する画素に対する突出量の定数倍以下であるという条件式(7)、(8)に置き換えられる。これにより、注目画素の周辺が平坦でなくても、キズの突出量が周辺の高周波信号に比べて十分大きく、キズが目立ち易い場合には補正が可能となる。

【0037】このとき、 $b_1$ 、 $b_2$ は注目画素の突出量に対する、周辺画素の平坦度を表すしきい値を決めるための係数で、ここでは $b_1 = b_2 = b = 1/2$ としている。この場合の検出回路のブロック図を図2に示す。条件式(7)、(8)に対する演算を、加算器11~14、比較回路23、24を用いて行っている。

【0038】なお、注目する画素に隣接する画素と、さらにその前後の画素の差が、注目する画素の隣接する画素に対する突出量から一定値を引いた値以下であるという回路構成も同様に可能である。

【0039】本発明の第1の実施例の補正回路のブロック図を図3に示す。入力された信号はFF7、FF8を通り、中央の注目画素の値とその前後の画素値を抽出する。ここで、FF7、FF8のクロックは $f_{CK}$ である。注目画素の前後の画素値からこれらの平均値を求め補正信号としている。検出回路の検出力にしたがい、通常は中央の注目画素の値を、キズと判定した場合は補正信号を出力する。また、検出回路との時間合わせは必要に※

$$g_n - g_{n-1} > a_1$$

$$g_n - g_{n+1} > a_2$$

$$r_{n-1.5} - g_{n-1} < b_1$$

$$r_{n+1.5} - g_{n+1} < b_2$$

ただし、 $a_1 = a_2 = a (>0)$ 、 $b_1 = b_2 = b$ である。

【0043】式(9)、(10)では、注目画素が周辺画素に対して一定値以上突出しているという条件を満たす

6

$$(4)$$

$$(5)$$

$$(6)$$

\*により、平坦部にあるキズの検出のみを行い、キズと高周波信号の区別を行っている。 $b_1$ 、 $b_2$ は平坦度を判定するためのしきい値で、ここでは $b_1 = b_2 = b (<a)$ としている。これらの演算を、加算器13、14、比較回路23、24を用いて行っている。

【0034】AND回路30は4個の比較回路21~24による各1ビット出力のANDを取り、上記の4式をすべて満たすことを判定する。4式をすべて満たすときキズと判定し、検出回路より検出信号を出力し、補正回路91に補正信号を出力するよう制御する。

【0035】

$$(7)$$

$$(8)$$

※応じ行うものとする。

【0040】以下、本発明の第2の実施例について図面を参照して説明する。本発明の第2の実施例のブロック図を図4に示す。入射光はレンズを経由し、プリズムによりR、G、Bの各色信号に分離され、それぞれに対応したCCD72~74に到達する。GのCCD72に対し、R、BのCCD73、74は水平方向に半画素ずれた位置に配置されている。これらのCCD72~74により光電変換され、AD変換器82~84を介し、デジタル信号に変換される。この信号より検出回路でキズを検出し、検出信号を出力する。この検出信号により補正回路92を制御する。

【0041】なお、G信号に対し、R、B信号は同じ関係にあるため、ここでは、検出回路にG信号とR信号が入力された場合について示してある。検出回路に入力したG信号とR信号はCCDのクロックと同じ $f_{CK}$ で動作するFF51、FF52を通り、 $2f_{CK}$ で動作するセレクタにより $2f_{CK}$ レートでG、R信号のシリアル信号に変換される。その後、FF1~FF6により、注目画素として例えばG信号とすると、G信号 $g_n$ とその1画素前後の $g_{n-1}$ 、 $g_{n+1}$ 、さらに1.5画素前後の $r_{n-1.5}$ 、 $r_{n+1.5}$ の計5画素を抽出する。ここでは、FF1~FF6のクロックは $2f_{CK}$ である。これらの画素データに対し、加算器11~14、比較回路21~24を用い下記の演算を行う。

【0042】

$$(9)$$

$$(10)$$

$$(11)$$

$$(12)$$

ことを判定する。これにより、キズであるための必要条件を満たすことを判定している。 $a_1$ 、 $a_2$ は突出量が一定値以上であることを判定するためのしきい値であり、

ここでは $a_1=a_2=a$  ( $>0$ )としている。これらの演算を加算器11, 12、比較回路21, 22を用いて行っている。

【0044】式(11), (12)では、注目画素から1画素離れた画素と、さらにその前後の半画素離れた画素の差が、一定値以下であるという条件を満たすことを判定している。これにより、平坦部にあるキズの検出のみを行い、キズと高周波信号の区別を行っている。 $b_1, b_2$ は平坦度を判定するためのしきい値で、ここでは $b_1=*$

$$r_{n-1.5}-g_{n-1}<(g_n-g_{n-1})\times b_1 \quad (13)$$

$$r_{n+1.5}-g_{n+1}<(g_n-g_{n+1})\times b_2 \quad (14)$$

ただし、 $b_1=b_2=b=1/2$ である。

【0047】なお、式(11), (12)は、注目する画素から1画素離れた画素と、さらにその前後の半画素離れた画素の差が、注目する画素の1画素離れた画素に対する突出量の定数倍以下であるという条件式(13), (14)に置き換えられる。このとき、 $b_1, b_2$ は注目画素の突出量に対する、周辺画素の平坦度を表すしきい値を決めるための係数で、ここでは $b_1=b_2=b=1/2$ としている。この場合の検出回路のブロック図を図5に示す。条件式(13), (14)に対する演算を、加算器11

【0048】なお、注目する画素から1画素離れた画素と、さらにその前後の半画素離れた画素の差が、注目する画素の1画素離れた画素に対する突出量から一定値を引いた値以下であるという回路構成も同様に可能であり、さらに、注目する画素から1画素離れた画素と、さらにその前後の1画素離れた画素の差により、検出回路を構成する場合も同様に可能である。

【0049】本発明の第2の実施例の補正回路のブロック図を図6に示す。入力された信号はFF7~FF10、を通り、中央の注目画素の値とその1画素前後の画素値を抽出する。ここで、FF7~FF10のクロックは $2f_{CK}$ である。注目画素の1画素前後の画素値からこれらの平均値を求め補正信号としている。検出回路の検出出力に従い、キズでないと判定した場合は中央の注目画素の値を、キズと判定した場合は補正信号を出力する。また、検出回路との時間合わせは必要に応じ行うものとする。

【0050】以上の第1, 第2の実施例については、水平方向についてのみの説明を行っているが、垂直方向についても同様であり、水平方向、垂直方向の両方を組み合わせた処理も可能である。

\*  $b_2=b$  ( $<a$ )としている。これらの演算を、加算器13, 14、比較回路23, 24を用いて行っている。

【0045】AND回路30は4個の比較回路21~24による各1ビット出力のANDを取り、上記の4式をすべて満たすことを判定する。4式をすべて満たすときキズと判定し、検出回路より検出信号を出力し、補正回路92に補正信号を出力するよう制御する。

【0046】

【0051】

【発明の効果】以上の説明より明らかなように、本発明によれば、高周波信号においても従来のように誤検出、誤補正を行わず、信号とキズを区別し、キズを精度良く検出できるため、キズについてのみ補正を行い、本来の画質を劣化させることなく、良好な画像を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の画素欠陥補正装置の構成を示すブロック図

【図2】同第1の実施例の画素欠陥補正装置の検出回路の構成を示すブロック図

【図3】同第1の実施例の画素欠陥補正装置の補正回路の構成を示すブロック図

【図4】本発明の第2の実施例の画素欠陥補正装置の構成を示すブロック図

【図5】同第2の実施例の画素欠陥補正装置の検出回路の構成を示すブロック図

【図6】同第2の実施例の画素欠陥補正装置の補正回路の構成を示すブロック図

【図7】従来の画素欠陥補正装置の検出回路の構成を示すブロック図

【図8】従来の画素欠陥補正装置の信号波形図

【図9】本発明で解決しようとしている信号波形図

【符号の説明】

1~6 フリップフロップ

61 第1の演算処理回路

62 第2の演算処理回路

63 第3の演算処理回路

64 第4の演算処理回路

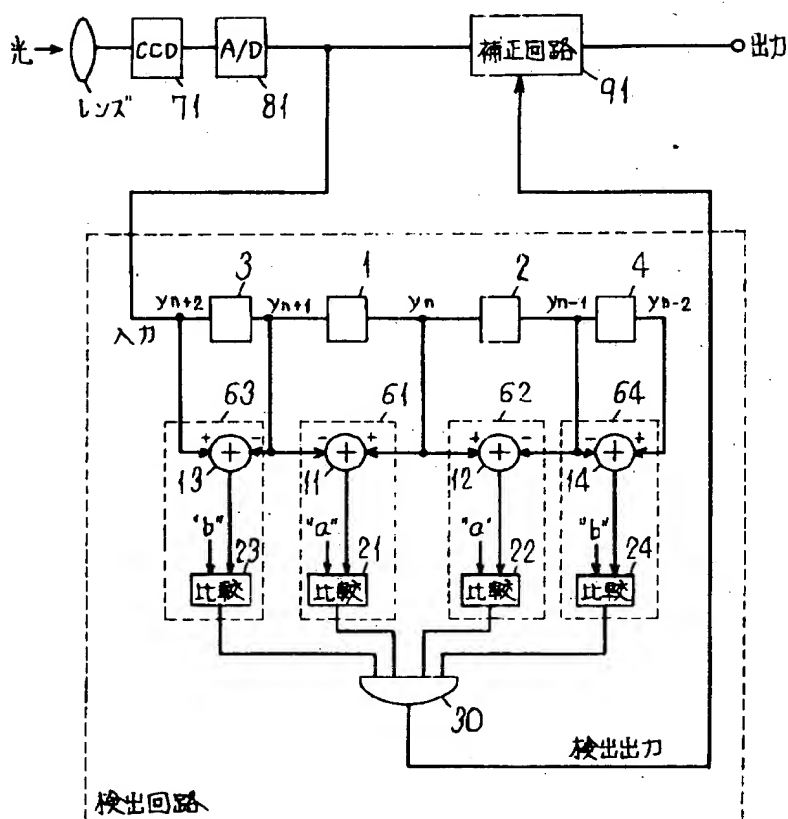
71~74 固体撮像素子

81~84 サンプリング回路

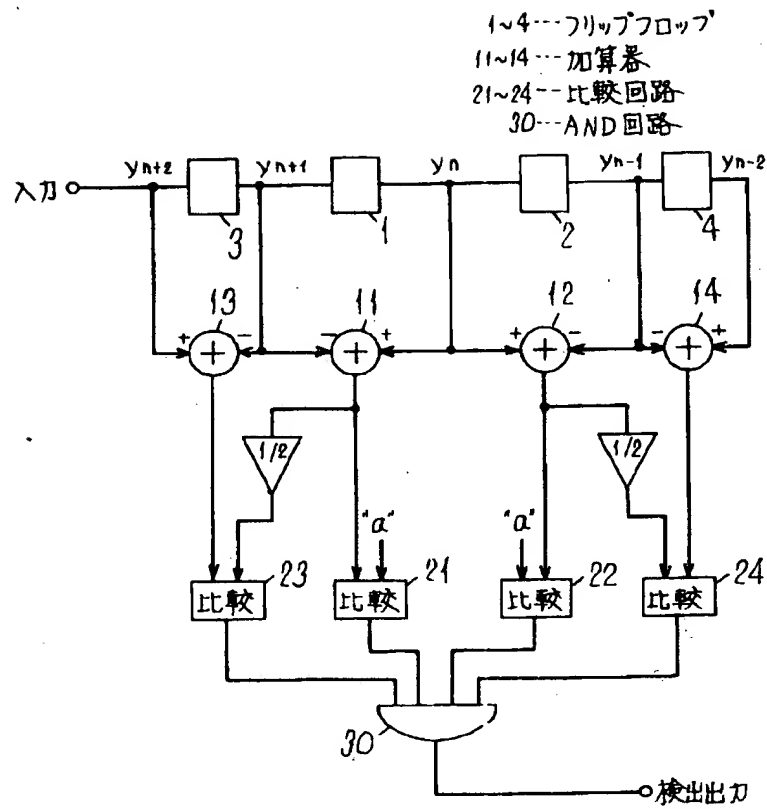


【図1】

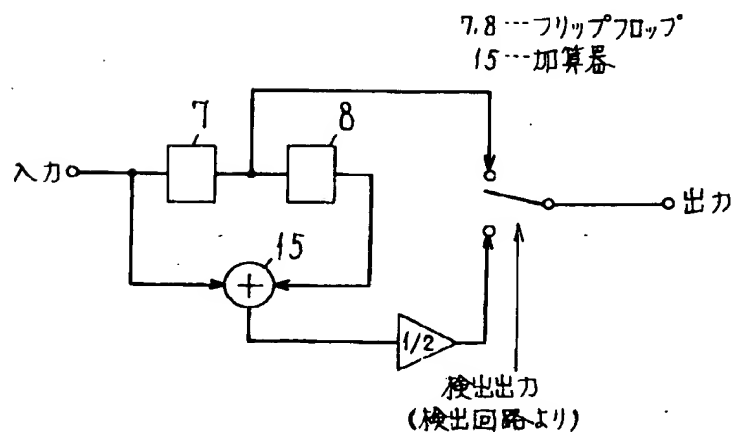
- 1~4---フリップフロップ  
 11~14---加算器  
 21~24---比較回路  
 30---AND回路  
 71---CCD  
 81---A/D変換器  
 91---実施例1の補正回路



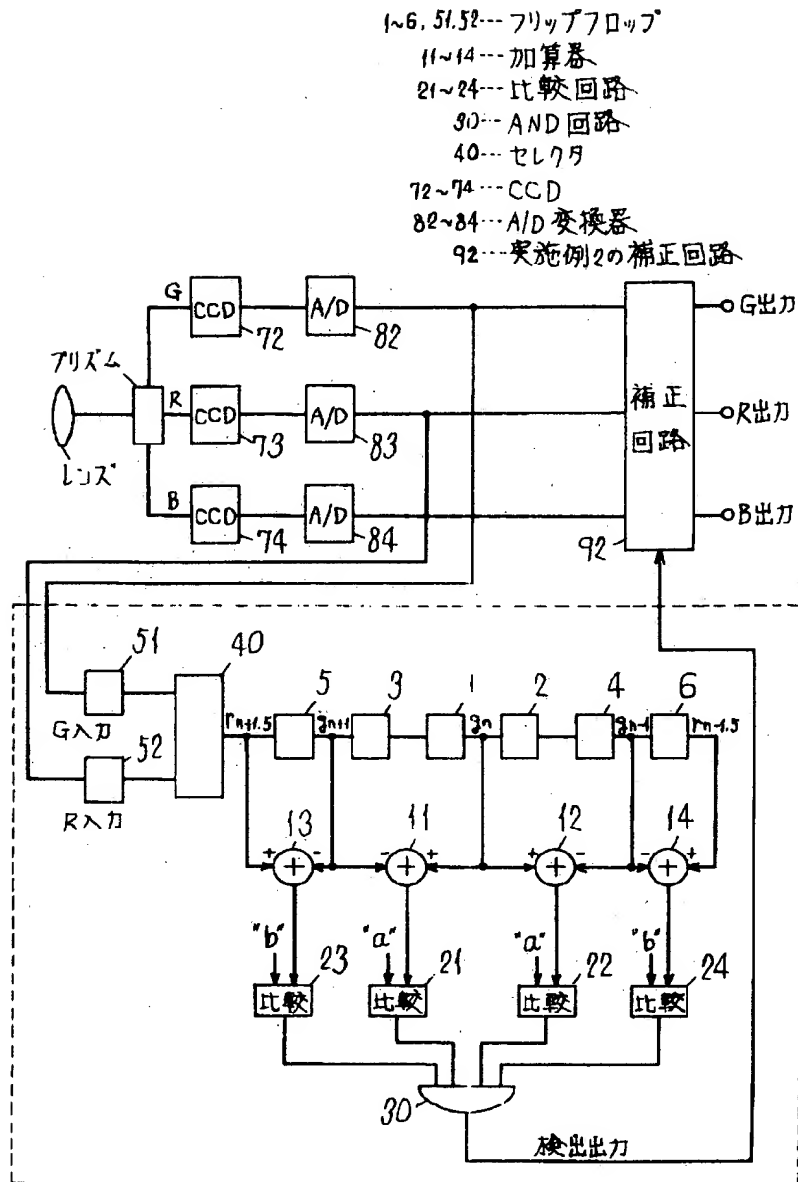
【図2】



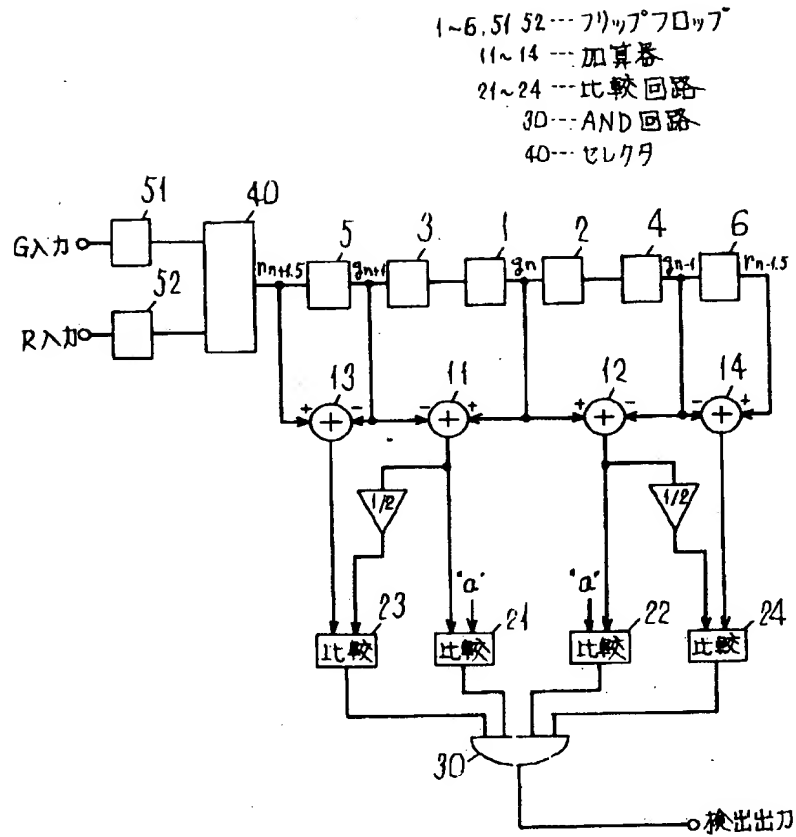
【図3】



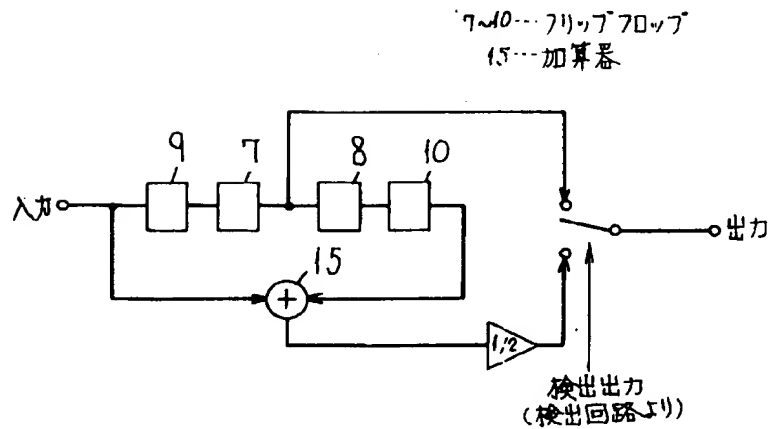
【図4】



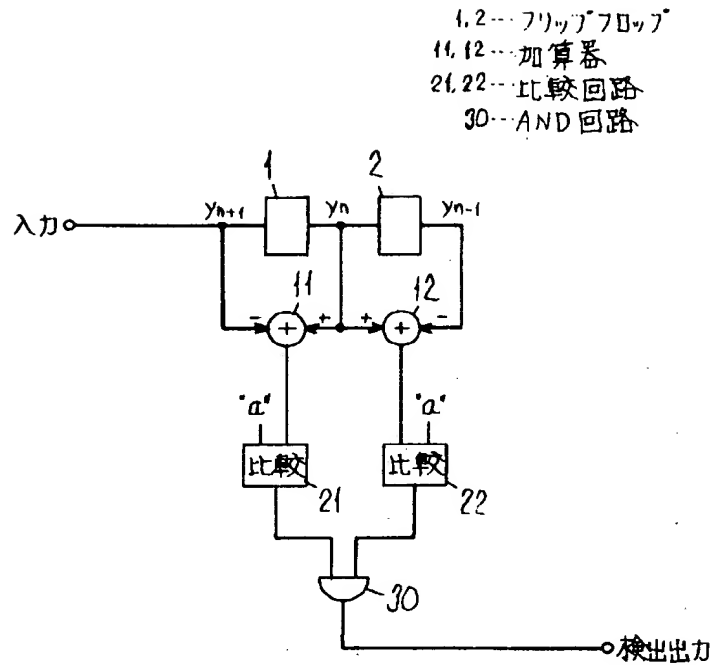
【図5】



【図6】



【図7】

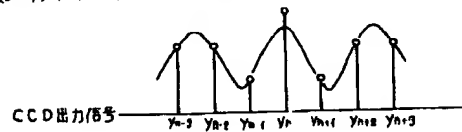


【図9】

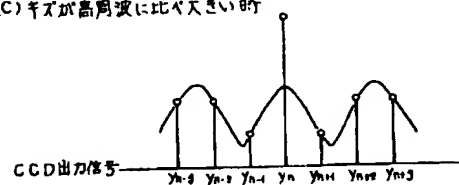
(a) キズが平坦部にある場合



(b) キズが高周波の中にある場合

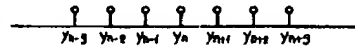


(c) キズが高周波に比べ大きい時

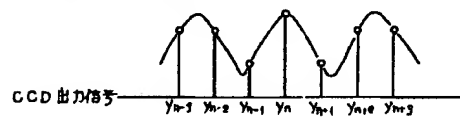


【図8】

(a) キズの場合

補正回路  
出力信号

(b) 高周波信号の場合

補正回路  
出力信号